



## QUESTA INSPECT

Migliora il progetto con il rilevamento automatico degli errori RTL più comuni

Questa Inspect è uno strumento di verifica formale che identifica e risolve automaticamente i problemi sequenziali più complessi nei progetti RTL, senza richiedere un testbench. Con la sintesi delle asserzioni RTL eseguibile con un solo clic, fornisce un processo di verifica dal basso verso l'alto, migliorando la qualità del progetto e rilevando bug che la simulazione tradizionale potrebbe non individuare.

Grazie a un'interfaccia intuitiva e ai controlli automatici per i problemi di inizializzazione, funzionali e di copertura, Questa Inspect si integra perfettamente nel processo di sviluppo, migliorando l'accuratezza della verifica e semplificando il debugging.

### Perché scegliere Questa Inspect?

#### Analisi sequenziale in profondità senza testbench

Questa Inspect esegue una verifica formale completa di problemi complessi di logica sequenziale, eliminando la necessità di creare testbench che richiedono molto tempo. Ciò accelera il processo di verifica e identifica i bug che i metodi tradizionali potrebbero trascurare.

#### Controlli formali automatizzati

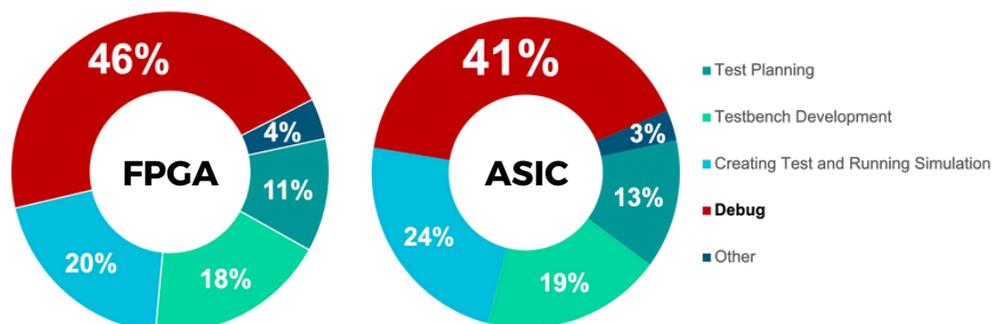
Automatizza i principali controlli delle regole di progettazione, tra cui l'inizializzazione, i problemi funzionali e la raggiungibilità della copertura. Sintetizza in automatico i controlli in asserzioni, semplificando il processo di verifica e migliorando l'accuratezza.

#### Ambiente di debug facile da usare

Con finestre GUI dedicate al debug, Questa Inspect offre strumenti di debug strutturale mirati. I progettisti possono visualizzare i problemi in tempo reale con viste intuitive di schemi, forme d'onda e codice sorgente, garantendo una più rapida risoluzione dei problemi.

#### Integrazione in flussi di lavoro esistenti

Questa Inspect si integra facilmente con gli ambienti di progettazione RTL e i flussi di integrazione continua, supportando progetti ASIC e FPGA. Il supporto di linguaggi misti per Verilog, SystemVerilog e VHDL lo rende flessibile per vari processi di sviluppo.



Il grafico evidenzia chiaramente che il **debug** è il più grande consumatore di tempo di verifica, occupando il 46% per gli FPGA e il 41% per i progetti ASIC. Ciò sottolinea l'importanza di strumenti di debug efficienti come Questa Inspect, che possono ridurre drasticamente il tempo impiegato in questa fase.

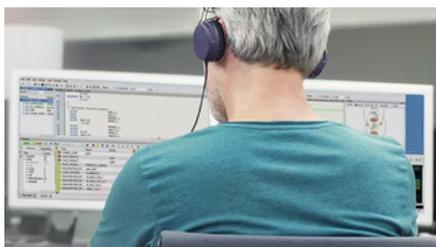
Automatizzando e semplificando il processo di debug, i team possono spostare l'attenzione su altre attività critiche, come lo sviluppo di testbench e la pianificazione dei test, migliorando la produttività complessiva.

# Caratteristiche principali di Questa Inspect



## Analisi sequenziale

Questa Inspect identifica problemi sequenziali in profondità nei progetti che spesso sono difficili da innescare e rilevare con la simulazione tradizionale. Questo garantisce che anche i bug più complessi vengano individuati nelle prime fasi del processo di progettazione.



## Verifiche formali automatizzate

Questa Inspect automatizza le verifiche formali per identificare problemi come registri non inizializzati, propagazione X, loop combinatoriali, errori FSM e logica non accessibile. Ciò garantisce una verifica completa e una robusta raggiungibilità della copertura senza interventi manuali.



## Ambiente di debug focalizzato

Questa Inspect offre un'interfaccia grafica completa con finestre di debug per controlli, forme d'onda, codice sorgente e dettagli FSM. I rapporti generati automaticamente semplificano il processo di debug, consentendo agli utenti di individuare e risolvere rapidamente i problemi.



## Verifica con pulsante

Con il suo approccio a pulsante, Questa Inspect consente agli utenti di eseguire verifiche approfondite senza scrivere proprietà o creare testbench. La generazione automatica di asserzioni riduce l'intervento manuale, consentendo ai progettisti di concentrarsi sulle questioni critiche del progetto.



## Integrazione e usabilità

Questa Inspect si integra perfettamente nei flussi di progettazione esistenti, supportando ambienti a linguaggio misto (Verilog, SystemVerilog, VHDL) e lavorando con progetti sia RTL che netlist. È compatibile con gli ambienti di integrazione continua, il che lo rende ideale per la verifica di ASIC e FPGA.