

QUESTA INSPECT

Améliorer la qualité de la conception sans recourir à un banc d'essai grâce à une analyse séquentielle approfondie.

Questa Inspect est un outil de vérification formelle avancé qui identifie et corrige automatiquement les problèmes séquentiels complexes dans les conceptions RTL, sans nécessiter de banc d'essai. Grâce à la synthèse automatisée d'assertions RTL, Questa Inspect offre un processus de vérification ascendante qui améliore significativement la qualité de la conception et détecte les bogues que les simulations traditionnelles pourraient négliger.

Grâce à son interface conviviale et à ses contrôles automatisés des problèmes d'initialisation, de fonctionnement et de couverture, Questa Inspect s'intègre harmonieusement à votre processus de développement, renforçant la précision de la vérification et optimisant le débogage.

Pourquoi opter pour Questa Inspect pour la vérification formelle ?

Analyse séquentielle approfondie sans plateforme d'essai

Questa Inspect réalise une vérification formelle exhaustive des problèmes de logique séquentielle complexes, supprimant ainsi la nécessité de concevoir des bancs de test laborieux. Cela accélère le processus de vérification tout en détectant des bogues que les méthodes traditionnelles pourraient omettre.

Contrôles formels automatisés

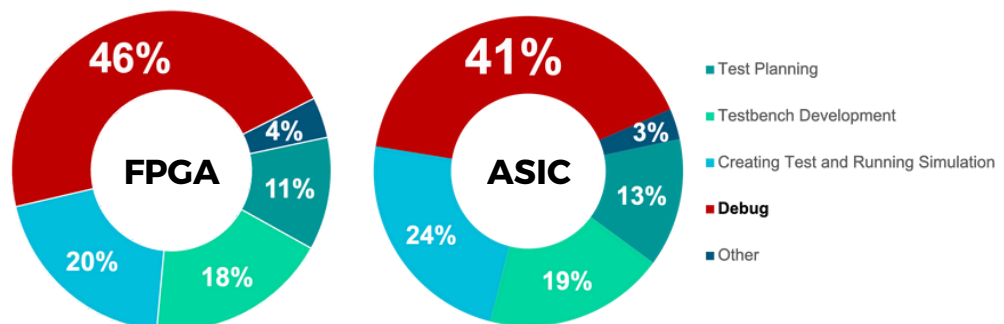
Questa Inspect automatise les vérifications essentielles des règles de conception, y compris l'initialisation, les problèmes fonctionnels et la couverture des tests. Ces vérifications sont automatiquement synthétisées en assertions, ce qui simplifie le processus de vérification et améliore la précision sans intervention manuelle.

Environnement de débogage intuitif

Grâce à ses fenêtres d'interface graphique spécialement conçues pour le débogage, Questa Inspect offre des outils de débogage structurel de haute précision. Les concepteurs peuvent observer les problèmes en temps réel grâce à des représentations intuitives des schémas, des formes d'onde et du code source, facilitant ainsi une résolution plus rapide des difficultés rencontrées.

Intégration dans les processus de travail existants

Questa Inspect s'intègre aisément aux environnements de conception RTL et aux flux d'intégration continue, prenant en charge les conceptions ASIC et FPGA. Sa compatibilité multilingue avec Verilog, SystemVerilog et VHDL lui confère une grande flexibilité pour divers processus de développement.



Le graphique illustre de manière évidente que le débogage constitue la part la plus importante du temps de vérification, atteignant 46 % pour les projets FPGA et 41 % pour les projets ASIC. Cette proportion significative met en lumière l'importance d'outils de débogage efficaces tels que Questa Inspect, qui peuvent considérablement diminuer le temps alloué à cette étape.

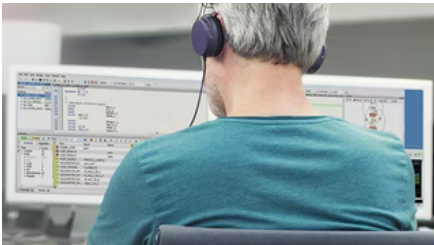
En automatisant et en optimisant le processus de débogage, les équipes peuvent se consacrer à d'autres tâches cruciales, telles que le développement de bancs de test et la planification des tests, ce qui améliore la productivité globale.

Principales caractéristiques de Questa Inspect



Analyse séquentielle.

Questa Inspect identifie les problèmes séquentiels profonds dans les conceptions, souvent difficiles à déclencher et à détecter par des simulations traditionnelles. Cela garantit la détection précoce des bogues, même complexes, dès les premières étapes de la conception.



Contrôles formels automatisés

Questa Inspect automatise les vérifications formelles afin d'identifier des problèmes tels que les registres non initialisés, la propagation X, les boucles combinatoires, les erreurs d'automates à états finis et la logique inaccessible. Cela assure une vérification exhaustive et une couverture solide sans intervention manuelle.



Environnement de débogage spécifique

Questa Inspect propose une interface graphique exhaustive, incluant des fenêtres de débogage pour les vérifications, les formes d'onde, le code source et les spécificités de l'automate fini. Les rapports générés automatiquement facilitent le processus de débogage, permettant aux utilisateurs d'identifier et de résoudre rapidement les problèmes.



Vérification par interrupteur à bouton-poussoir

Grâce à son interface conviviale, Questa Inspect permet aux utilisateurs d'effectuer des vérifications approfondies sans nécessiter l'écriture de propriétés ni la création de bancs de test. La génération automatique d'assertions diminue les interventions manuelles, permettant ainsi aux concepteurs de se concentrer sur les éléments essentiels de la conception.



Intégration et convivialité

Questa Inspect s'intègre harmonieusement aux flux de conception existants, prend en charge les environnements multilingues (Verilog, SystemVerilog, VHDL) et fonctionne avec les conceptions RTL et netlist. Compatible avec les environnements d'intégration continue, il est particulièrement adapté à la vérification des ASIC et des FPGA.