

HDL DESIGNER

Un environnement de conception HDL complet garantissant un flux de conception FPGA/ASIC structuré

HDL Designer est un environnement puissant basé sur le langage HDL utilisé par des ingénieurs individuels et des équipes d'ingénieurs du monde entier pour analyser, créer et gérer des conceptions FPGA et ASIC complexes.

HDL Designer combine des capacités d'analyse approfondies, des éditeurs de création avancés et une gestion complète des projets et des flux, pour offrir un environnement de conception HDL augmentant la productivité des ingénieurs et des équipes (locales ou distantes), tout en permettant un processus de conception répétable et prévisible.

Pourquoi choisir HDL Designer ?

Outils interactifs de visualisation et de création HDL

Qu'une équipe crée une conception de A à Z ou évalue le RTL pour le réutiliser, HDL Designer fait partie d'une solution de conception complète pour le développement de FPGA et d'ASIC. Il aide les équipes d'ingénieurs à analyser, créer et gérer leurs conceptions complexes.

Concevoir rapidement à l'aide de méthodes optimales

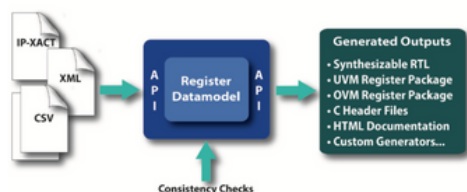
Concevoir et créer efficacement de grandes conceptions à partir de la propriété intellectuelle exige plus qu'une simple écriture RTL. HDL Designer Series fournit aux ingénieurs une suite d'éditeurs de conception avancés pour faciliter le développement : feuilles de calcul de conception basées sur l'interface et édition de la state-machine.

Évaluer rapidement la qualité du code nouveau et réutilisé

L'analyse du code va de pair avec la création du code. HDL Designer aide les ingénieurs à analyser les conceptions RTL complexes, en fournissant une analyse de l'intégrité du code, une analyse de la complétude de la connectivité, des évaluations de la qualité du code HDL et une visualisation de la conception.

Gérer le code tout au long du flux de développement

La gestion de la conception est, avec la création et l'analyse de la conception, la troisième tâche importante du développement HDL. Outre la gestion des données de conception, les équipes doivent gérer le projet tout au long du flux de conception. HDL Designer s'attaque au problème de la gestion de la conception en fournissant au développeur des interfaces avec d'autres outils de conception au sein du flux ; des solutions de gestion des données et des versions.



Register Assistant accepte des entrées provenant de nombreuses sources et automatise la génération des formats de registre requis

Vérification automatisée des règles de conception avec HDL Designer

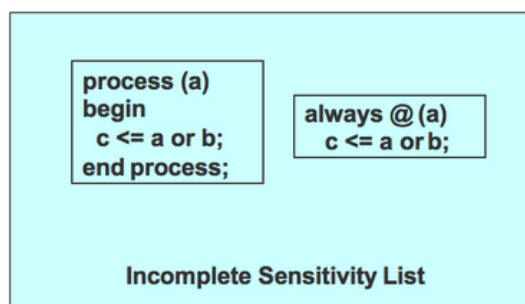
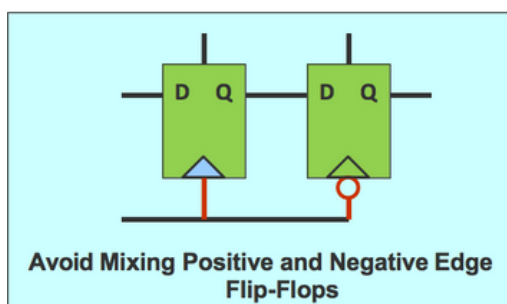
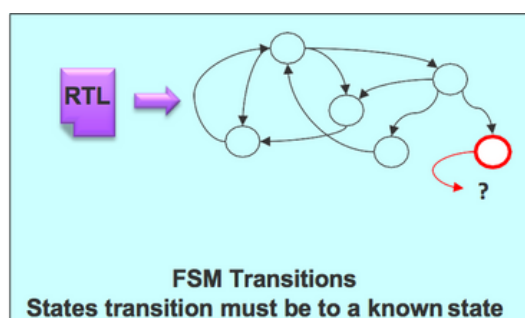
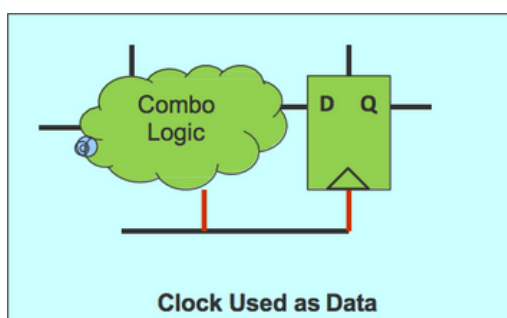
La vérification automatisée de la conception effectuée avec HDL Designer réduit les coûts du projet et améliore la qualité du code HDL

L'automatisation réduit l'effort de révision manuelle du code, accélère la vérification du code HDL et identifie les défauts de conception dès le début du cycle de développement - avant la simulation, la synthèse et la production - où il est moins coûteux et plus facile de corriger les violations.

La vérification de la conception, qui peut être exécutée de manière interactive ou en mode batch, identifie les violations de l'implémentation des circuits grâce au moteur de synthèse intégré, applique les vérifications à l'ensemble de la conception pour identifier les violations à travers les frontières des modules, et applique les règles de style de codage pour la lisibilité, la réutilisation

et la cohérence du codage. Les sept jeux de règles préconfigurés, dont le jeu de règles DO-254, facilitent l'adoption de la vérification de la conception, tandis que les vérifications paramétrables permettent la création de jeux de règles et de politiques personnalisés.

Les mesures de qualité et les résultats des violations sont résumés dans les rapports de contrôle de la conception et accélèrent le processus de révision de la conception. Les violations font l'objet de références croisées avec le code HDL et les vues graphiques de la source pour faciliter le débogage.



Quelques exemples de contrôle de règles