

QUESTA INSPECT

Mejora la calidad del diseño sin un testbench gracias al análisis secuencial profundo

Questa Inspect ofrece una potente herramienta de verificación formal que identifica y aborda automáticamente problemas secuenciales complejos en diseños RTL sin necesidad de un testbench. Mediante la ejecución automática de síntesis de assertions RTL, Questa Inspect proporciona un proceso de verificación ascendente que mejora de forma significativa la calidad del diseño y detecta errores que la simulación tradicional podría pasar por alto.

Con una interfaz intuitiva y comprobaciones automatizadas de inicialización, funcionalidad y cobertura, Questa Inspect se integra sin esfuerzo en tu proceso de desarrollo, mejorando la precisión de la verificación y agilizando la depuración.

¿Por qué elegir Questa Inspect para la verificación formal?

Análisis secuencial profundo sin necesidad de un testbench

Questa Inspect realiza una verificación formal completa de problemas complejos de lógica secuencial, eliminando la necesidad de crear testbenches que consumen mucho tiempo. Esto acelera el proceso de verificación y, al mismo tiempo, identifica errores que los métodos tradicionales pueden pasar por alto.

Comprobaciones formales automatizadas

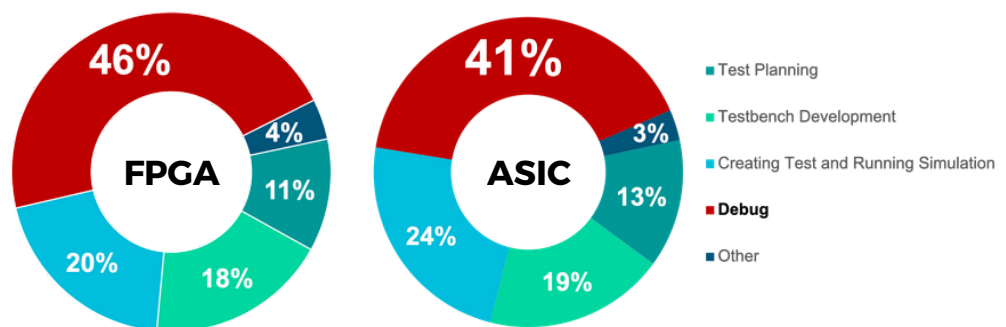
Questa Inspect automatiza comprobaciones clave de reglas de diseño, incluidas la inicialización, los problemas funcionales y la alcanzabilidad de cobertura. Estas comprobaciones se sintetizan automáticamente en assertions, lo que simplifica el proceso de verificación y mejora la precisión sin esfuerzo manual.

User-friendly debugging environment

Con ventanas específicas de la interfaz gráfica para la depuración, Questa Inspect ofrece herramientas de debug estructural centradas. Los diseñadores pueden visualizar los problemas en tiempo real mediante vistas intuitivas de esquemas, formas de onda y código fuente, garantizando una resolución de incidencias más rápida.

Integración en los flujos de trabajo existentes

Questa Inspect se integra fácilmente con los entornos de diseño RTL y con los flujos de integración continua, dando soporte tanto a diseños ASIC como FPGA. Su compatibilidad multilinguaje con Verilog, SystemVerilog y VHDL lo hace flexible para distintos procesos de desarrollo.



El gráfico muestra claramente que la depuración es la fase que más tiempo consume en la verificación, ocupando el 46% en proyectos FPGA y el 41% en proyectos ASIC. Este peso tan elevado pone de relieve la importancia de disponer de herramientas de depuración eficientes como Questa Inspect, que pueden reducir de forma drástica el tiempo dedicado a esta fase.

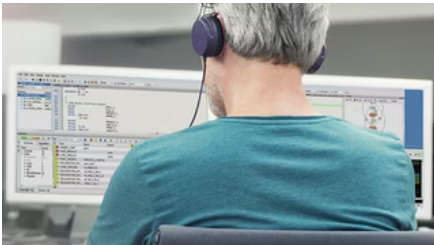
Al automatizar y agilizar el proceso de debug, los equipos pueden centrarse en otras tareas críticas, como el desarrollo del testbench y la planificación de pruebas, mejorando así la productividad global.

Características clave de Questa Inspect



Análisis secuencial

Questa Inspect identifica problemas secuenciales profundos en los diseños, que a menudo son difíciles de activar y detectar mediante la simulación tradicional. Esto garantiza que incluso los errores más complejos se descubran en las primeras fases del proceso de diseño.



Comprobaciones formales automatizadas

Questa Inspect automatiza las comprobaciones formales para identificar problemas como registros no inicializados, propagación de X, bucles combinacionales, errores en máquinas de estados (FSM) y lógica inalcanzable. Esto garantiza una verificación completa y una sólida alcanzabilidad de cobertura sin intervención manual.



Focused Debugging Environment

Questa Inspect ofrece una interfaz gráfica completa con ventanas de depuración para comprobaciones, formas de onda, código fuente y detalles de máquinas de estados (FSM). Los informes generados automáticamente agilizan el proceso de debug, permitiendo a los usuarios localizar y resolver los problemas rápidamente.



Push-button Verification

Con su enfoque de "un solo clic", Questa Inspect permite realizar una verificación en profundidad sin necesidad de escribir propiedades ni crear testbenches. La generación automática de assertions reduce la intervención manual, permitiendo a los diseñadores centrarse en los aspectos críticos del diseño.



Integración y facilidad de uso

Questa Inspect se integra sin esfuerzo en los flujos de diseño existentes, con soporte para entornos multilenguaje (Verilog, SystemVerilog y VHDL) y funcionando tanto con diseños RTL como con netlists. Es compatible con entornos de integración continua, lo que lo convierte en una solución ideal para la verificación tanto de ASIC como de FPGA.