



## HDL DESIGNER

Un completo entorno de diseño HDL que garantiza un flujo de diseño FPGA/ASIC estructurado

HDL Designer es un potente entorno utilizado por ingenieros y equipos de ingeniería de todo el mundo para analizar, crear y gestionar complejos diseños FPGA y ASIC.

HDL Designer combina capacidades de análisis, editores de creación avanzados y una completa gestión de proyectos y flujos, para ofrecer un entorno de diseño HDL que aumenta la productividad de los ingenieros y equipos (locales o remotos) y favorece, además, un proceso de diseño repetible y predecible.

### ¿Por qué elegir HDL Designer?

#### Herramientas interactivas de visualización y creación HDL

Tanto si un equipo crea un diseño desde cero como si evalúa la RTL para su reutilización, HDL Designer forma parte de una solución de diseño completa para el desarrollo de FPGA y ASIC. Ayuda a los equipos de ingeniería a analizar, crear y gestionar diseños complejos.

#### Diseñar rápidamente con métodos óptimos

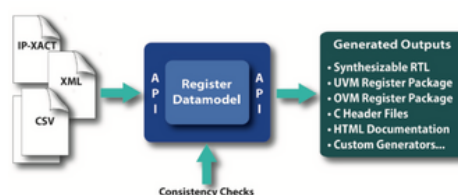
Crear eficientemente un diseño enorme basado en IP, requiere mucho más que escribir RTL. HDL Designer ofrece a los ingenieros un conjunto de editores avanzados para facilitar el desarrollo, como hojas de cálculo basadas en la interfaz y editores de máquinas de estado.

#### Evaluar rápidamente la calidad del código nuevo y reutilizado

El análisis de código va de la mano de la creación de código. HDL Designer ayuda a los ingenieros a analizar diseños RTL complejos y a realizar análisis de integridad del código, análisis de integridad de la conectividad, evaluaciones de calidad del código HDL y visualización del diseño.

#### Gestionar el código en todo el flujo de desarrollo

Además de gestionar los datos de diseño, los equipos necesitan gestionar el proyecto a lo largo del flujo de diseño. HDL Designer aborda el problema de la gestión del diseño al proporcionar al diseñador soluciones de gestión de datos y versiones.



Register Assistant acepta *inputs* de muchas fuentes diferentes y automatiza la generación de los formatos de registro necesarios.

# Comprobación automática de reglas de diseño (DRC) con HDL Designer



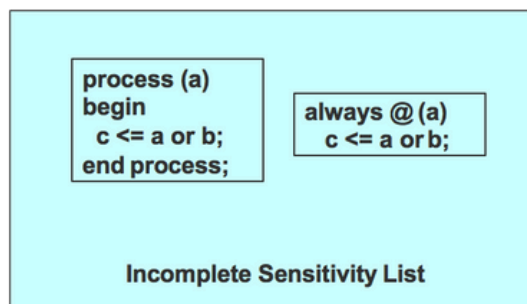
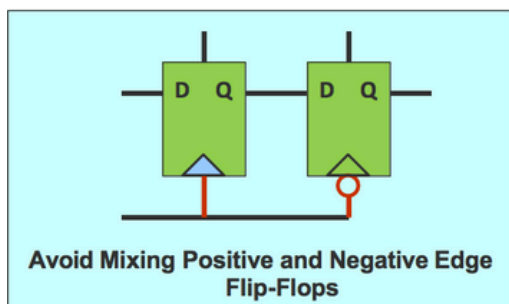
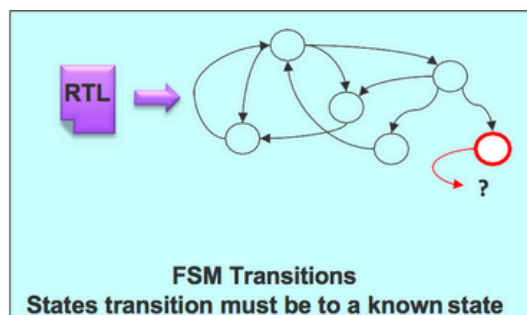
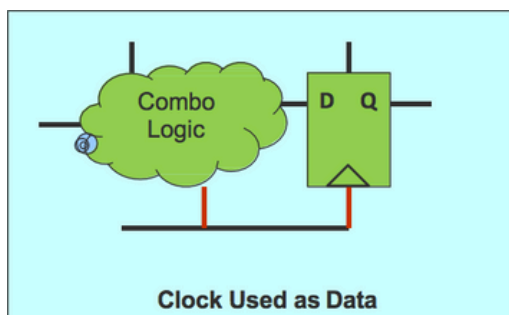
La comprobación automatizada del diseño realizada con HDL Designer reduce los costes del proyecto y mejora la calidad del código HDL.

La automatización disminuye el esfuerzo de revisión manual del código y permite identificar los defectos del diseño en una fase temprana del ciclo de desarrollo: antes de la simulación, la síntesis y la producción, cuando resulta menos costoso y más sencillo corregir los errores.

La verificación del diseño, interactiva o a través de tareas *batch*, detecta los errores en la implementación del circuito gracias al motor de síntesis propio de la plataforma, revisa todo el diseño para identificar errores entre módulos y refuerza el uso de reglas de estilo para mejorar la consistencia, la legibilidad y la reutilización del

código. Incluye siete tipos de reglas -entre ellas, las DO-254, que soportan la adopción de una metodología de DRC, activando o desactivando controles o creando tipos de reglas y políticas personalizadas.

Los informes generados resumen los resultados de la ejecución del DRC y muestran medidas de calidad y elencos de errores. El uso de estos informes acelera el proceso de revisión del diseño. Cada elemento del elenco de errores consiste en un enlace a la posición del código incriminada e incluye elementos visuales para ayudar durante el *debugging*.



Algunos ejemplos de comprobación de reglas.